

251996US2/ims

# IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tomoaki SHINO

GAU: 2811

SERIAL NO: 10/824,535

EXAMINER:

FILED: April 15, 2004

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

## REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-392342	November 21, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

\_\_\_\_\_  
Marvin J. Spivak

Registration No. 24,913  
Joseph A. Scafetta, Jr.  
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年 1 1 月 2 1 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 3 9 2 3 4 2  
Application Number:  
ST. 10/C] :            [ J P 2 0 0 3 - 3 9 2 3 4 2 ]

願            人  
Applicant(s):            株式会社東芝

2 0 0 4 年   6 月   8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫

CERTIFIED COPY OF  
PRIORITY DOCUMENT

出証番号    出証特 2 0 0 4 - 3 0 4 9 3 5

BEST AVAILABLE COPY

【書類名】 特許願  
【整理番号】 14469201  
【提出日】 平成15年11月21日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 11/00  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業  
    所内  
    【氏名】 篠 智 彰  
【特許出願人】  
    【識別番号】 000003078  
    【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号  
    【氏名又は名称】 株式会社 東 芝  
【代理人】  
    【識別番号】 100075812  
    【弁理士】  
    【氏名又は名称】 吉 武 賢 次  
【選任した代理人】  
    【識別番号】 100088889  
    【弁理士】  
    【氏名又は名称】 橋 谷 英 俊  
【選任した代理人】  
    【識別番号】 100082991  
    【弁理士】  
    【氏名又は名称】 佐 藤 泰 和  
【選任した代理人】  
    【識別番号】 100096921  
    【弁理士】  
    【氏名又は名称】 吉 元 弘  
【選任した代理人】  
    【識別番号】 100103263  
    【弁理士】  
    【氏名又は名称】 川 崎 康  
【選任した代理人】  
    【識別番号】 100118843  
    【弁理士】  
    【氏名又は名称】 赤 岡 明  
【手数料の表示】  
    【予納台帳番号】 087654  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

半導体基板と、  
前記半導体基板上に形成された第 1 の絶縁層と、  
前記絶縁層によって前記半導体基板から絶縁された半導体層と、  
前記半導体層に形成された第 1 導電型のソース領域および第 1 導電型のドレイン領域と、  
前記半導体層のうち前記ソース領域と前記ドレイン領域との間に設けられ、電荷を蓄積または放出することによってデータを記憶することができる第 2 導電型のボディ領域と、  
前記ボディ領域上に形成された第 2 の絶縁層と、  
前記第 2 の絶縁層上に形成され、該第 2 の絶縁層によって前記ボディ領域から絶縁されたワード線と、  
前記ドレイン領域に電氣的に接続されたビット線とを備え、  
前記ボディ領域が前記第 2 の絶縁層と接する面積は、該ボディ領域が前記第 1 の絶縁層と接する面積よりも大きいことを特徴とする半導体装置。

**【請求項 2】**

半導体基板と、  
前記半導体基板上に形成された第 1 の絶縁層と、  
前記絶縁層によって前記半導体基板から絶縁された半導体層と、  
前記半導体層に形成された第 1 導電型のソース領域および第 1 導電型のドレイン領域と、  
前記半導体層のうち前記ソース領域と前記ドレイン領域との間に設けられ、電荷を蓄積または放出することによってデータを記憶することができる第 2 導電型のボディ領域と、  
前記ボディ領域上に形成された第 2 の絶縁層と、  
前記第 2 の絶縁層上に形成され、該第 2 の絶縁層によって前記ボディ領域から絶縁されたワード線と、  
前記ドレイン領域に電氣的に接続されたビット線とを備え、  
前記第 1 の絶縁膜の膜厚は、前記第 2 の絶縁膜の膜厚の 5 倍以下であることを特徴とする半導体装置。

**【請求項 3】**

半導体基板と、  
前記半導体基板上に形成された第 1 の絶縁層と、  
前記絶縁層によって前記半導体基板から絶縁された半導体層と、  
前記半導体層に形成された第 1 導電型のソース領域および第 1 導電型のドレイン領域と、  
前記半導体層のうち前記ソース領域と前記ドレイン領域との間に設けられ、電荷を蓄積または放出することによってデータを記憶することができる第 2 導電型のボディ領域と、  
前記ボディ領域上に形成された第 2 の絶縁層と、  
前記第 2 の絶縁層上に形成され、該第 2 の絶縁層によって前記ボディ領域から絶縁されたワード線と、  
前記ドレイン領域に電氣的に接続されたビット線とを備え、  
前記ボディ領域の膜厚は、前記第 1 の絶縁膜の膜厚の 3 倍以下であることを特徴とする半導体装置。

**【請求項 4】**

前記第 1 の絶縁膜の膜厚は、前記第 2 の絶縁膜の膜厚の 5 倍以下であることを特徴とする請求項 1 または請求項 3 に記載の半導体装置。

**【請求項 5】**

前記ボディ領域の膜厚は、前記第 1 の絶縁膜の膜厚の 3 倍以下であることを特徴とする請求項 1、請求項 2 または請求項 4 のいずれかに記載の半導体装置。

**【請求項 6】**

前記ボディ領域をメモリセルの一部として備えるDRAMと、  
前記DRAMの周辺に形成された周辺ロジック回路とをさらに備えたことを特徴とする請求項1から請求項3のいずれかに記載の半導体装置。

【請求項7】

前記周辺ロジック回路に用いられるトランジスタは、  
前記半導体層に形成された第1導電型のソース領域および第1導電型のドレイン領域と、  
前記半導体層のうち前記ソース領域と前記ドレイン領域との間に設けられた第2導電型のボディ領域と、  
前記ボディ領域上に形成された第3の絶縁層と、  
前記第3の絶縁層上に形成され、該第3の絶縁層によって前記ボディ領域から絶縁されたゲート電極とを備え、  
前記ゲート電極に沿った断面において、前記ボディ領域が前記第1の絶縁層と接する面積は、該ボディ領域が前記第3の絶縁層と接する面積とほぼ等しいことを特徴とする請求項6に記載の半導体装置。

【請求項8】

前記DRAM領域における半導体基板と前記第1の絶縁層との界面での不純物濃度は、  
前記周辺ロジック回路領域における半導体基板と前記第1の絶縁層との界面での不純物濃度よりも大きいことを特徴とする請求項6に記載の半導体装置。

【請求項9】

前記ワード線に沿った断面において、前記ボディ領域が前記第2の絶縁層と接する面積は、該ボディ領域が前記第1の絶縁層と接する面積よりも大きいことを特徴とする請求項1に記載の半導体装置。

【請求項10】

前記ワード線に沿った断面において、前記ボディ領域は側面に段差を有することを特徴とする請求項9に記載の半導体装置。

【請求項11】

第1の絶縁層によって支持基板から絶縁された半導体層を有するSOI基板を準備するステップと、  
前記半導体層上にマスク材料を形成するステップと、  
該マスク材料をパターニングするステップと、  
前記マスク材料に従って前記半導体層をエッチングし、部分的に前記第1の絶縁層を露出させるステップと、  
露出した前記第1の絶縁層を突き抜け、尚且つ、前記マスク材料を突き抜けない程度のエネルギーで不純物を前記支持基板へ注入するステップと、  
隣り合う前記半導体層の間に第3の絶縁層を形成するステップと、  
前記マスク材料を除去するステップと、  
前記半導体層上にゲート絶縁膜を形成するステップと、  
前記ゲート絶縁膜上にゲート電極を形成するステップと、  
前記ゲート電極の両側にある前記半導体層にソース領域およびドレイン領域を形成するステップとを具備する半導体装置の製造方法。

【請求項12】

第1の絶縁層によって支持基板から絶縁された半導体層を有するSOI基板を準備するステップと、  
前記半導体層上にマスク材料を形成するステップと、  
該マスク材料をパターニングするステップと、  
前記マスク材料に従って前記半導体層の下層部を残存させたまま該半導体層の上層部をエッチングする第1のエッチングステップと、  
前記マスク材料および前記半導体層の上層部のそれぞれの側壁にスペーサを形成するステップと、  
前記マスク材料および前記スペーサをマスクとして、前記半導体層をエッチングし、部

分的に前記第1の絶縁層を露出させる第2のエッチングステップと、  
隣り合う前記半導体層の間に第3の絶縁層を形成するステップと、  
前記マスク材料を除去するステップと、  
前記半導体層上にゲート絶縁膜を形成するステップと、  
前記ゲート絶縁膜上にゲート電極を形成するステップと、  
前記ゲート電極の両側にある前記半導体層にソース領域およびドレイン領域を形成する  
ステップとを具備する半導体装置の製造方法。

【請求項13】

前記第2のエッチングステップの後、露出した前記第1の絶縁層を突き抜け、尚且つ、  
前記マスク材料を突き抜けない程度のエネルギーで不純物を前記支持基板へ注入するステ  
ップをさらに具備することを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】

前記第1のエッチングステップの後、前記ドレイン領域に隣接する前記半導体層を前記  
マスク材料に従ってエッチングする第3のエッチングステップをさらに具備することを特  
徴とする請求項12に記載の半導体装置の製造方法。

【請求項15】

前記ボディ領域はメモリセルの一部としてDRAMに用いられ、  
前記DRAMの周辺に設けられる周辺ロジック回路の領域においては、前記スペーサを  
形成することなく前記マスク材料に従って前記半導体層をエッチングすることを特徴とす  
る請求項12に記載の半導体装置の製造方法。

**【書類名】明細書****【発明の名称】** 半導体装置および半導体装置の製造方法**【技術分野】****【0001】**

本発明は半導体装置および半導体装置の製造方法に関する。

**【背景技術】****【0002】**

D R A M等の半導体記憶装置は、近年、益々微細化されている。しかし、1 T - 1 C (1 Transistor-1 Capacitor) 型のD R A Mでは、キャパシタの蓄積容量(Storage Capacitance)を確保するために、キャパシタの占有面積をある程度大きくしなければならない。よって、1 T - 1 C型のD R A Mは、微細化に限度がある。また、1 T - 1 C型のD R A Mでは、キャパシタを形成する必要があるので、製造プロセスが複雑になり、コスト高になる。

**【0003】**

これに対処するために、S O I (Silicon On Insulator)基板にD R A Mを形成する技術が開発されている。例えば、特許文献1には、F B C (Floating Body Cell) から構成されたD R A Mが開示されている。F B Cは、S O I基板を用いて1つのトランジスタによって構成されたメモリセルである。

**【0004】**

F B Cは、S O I基板上にM O Sトランジスタとして形成されている。S O I層には、ソース領域、ドレイン領域およびボディ領域が形成されている。ソース領域とドレイン領域との間に挟まれたボディ領域は浮遊状態にある。

**【0005】**

ボディ領域内のホール数によってドレイン電流が変化する。このドレイン電流の変化量によってデータ“1”とデータ“0”とを識別することができる。即ち、ボディ領域に蓄積するホール数を制御することによって、F B Cはデータを記憶することができる。例えば、ボディ領域内のホールが多いときにデータ“1”と識別し、一方、ボディ領域にホールが少ないときにはデータ“0”と識別する。このようなF B Cにおいては、一般に、ボディ領域と支持基板のような固定電位体との容量が大きいほど、データ保持時間が長く、歩留まりが良い。

**【0006】**

特許文献1に記載されたF B Cは、薄い埋め込み酸化膜（以下、B O X層という）を備えたS O I基板を用いることによって、ボディ領域と支持基板との容量を増大させている。

。 【特許文献1】 特願 2 0 0 1 - 3 9 1 2 2 号公報

**【発明の開示】****【発明が解決しようとする課題】****【0007】**

しかし、単にB O X層の膜厚を薄くすると、周辺回路やロジック回路において、S O I層領域と支持基板との間の寄生容量が増大する。この寄生容量が増大すると、周辺回路やロジック回路の速度が低下し、それらの消費電力が増大するという問題が生じる。

**【0008】**

よって、F B Cの形成領域では、ボディ領域と支持基板との容量は大きいほど好ましいが、一方、周辺回路やロジック回路の形成領域では、S O I層領域と支持基板との間の寄生容量は小さい方が好ましい。

**【0009】**

そこで、本発明の目的は、周辺回路やロジック回路の速度を低下させたり消費電力を増大させたりすることなく、ボディ領域と固定電位との容量を従来よりも増大させた半導体装置およびその製造方法を提供することである。

**【課題を解決するための手段】**

## 【0010】

本発明に係る実施形態に従った半導体装置は、半導体基板と、前記半導体基板上に形成された第1の絶縁層と、前記絶縁層によって前記半導体基板から絶縁された半導体層と、前記半導体層に形成された第1導電型のソース領域および第1導電型のドレイン領域と、前記半導体層のうち前記ソース領域と前記ドレイン領域との間に設けられ、電荷を蓄積または放出することによってデータを記憶することができる第2導電型のボディ領域と、前記ボディ領域上に形成された第2の絶縁層と、前記第2の絶縁層上に形成され、該第2の絶縁層によって前記ボディ領域から絶縁されたワード線と、前記ドレイン領域に電氣的に接続されたビット線とを備え、前記ボディ領域が前記第2の絶縁層と接する面積は、該ボディ領域が前記第1の絶縁層と接する面積よりも大きい。

## 【0011】

本発明に係る他の実施形態に従った半導体装置は、半導体基板と、前記半導体基板上に形成された第1の絶縁層と、前記絶縁層によって前記半導体基板から絶縁された半導体層と、前記半導体層に形成された第1導電型のソース領域および第1導電型のドレイン領域と、前記半導体層のうち前記ソース領域と前記ドレイン領域との間に設けられ、電荷を蓄積または放出することによってデータを記憶することができる第2導電型のボディ領域と、前記ボディ領域上に形成された第2の絶縁層と、前記第2の絶縁層上に形成され、該第2の絶縁層によって前記ボディ領域から絶縁されたワード線と、前記ドレイン領域に電氣的に接続されたビット線とを備え、前記第1の絶縁膜の膜厚は、前記第2の絶縁膜の膜厚の5倍以下である。

## 【0012】

本発明に係るさらに他の実施形態に従った半導体装置は、半導体基板と、前記半導体基板上に形成された第1の絶縁層と、前記絶縁層によって前記半導体基板から絶縁された半導体層と、前記半導体層に形成された第1導電型のソース領域および第1導電型のドレイン領域と、前記半導体層のうち前記ソース領域と前記ドレイン領域との間に設けられ、電荷を蓄積または放出することによってデータを記憶することができる第2導電型のボディ領域と、前記ボディ領域上に形成された第2の絶縁層と、前記第2の絶縁層上に形成され、該第2の絶縁層によって前記ボディ領域から絶縁されたワード線と、前記ドレイン領域に電氣的に接続されたビット線とを備え、前記ボディ領域の膜厚は、前記第1の絶縁膜の膜厚の3倍以下である。

## 【0013】

本発明に係る実施形態に従った半導体装置の製造方法は、第1の絶縁層によって支持基板から絶縁された半導体層を有するSOI基板を準備するステップと、前記半導体層上にマスク材料を形成するステップと、該マスク材料をパターニングするステップと、前記マスク材料に従って前記半導体層をエッチングし、部分的に前記第1の絶縁層を露出させるステップと、露出した前記第1の絶縁層を突き抜け、尚且つ、前記マスク材料を突き抜けない程度のエネルギーで不純物を前記支持基板へ注入するステップと、隣り合う前記半導体層の間に第3の絶縁層を形成するステップと、前記マスク材料を除去するステップと、前記半導体層上にゲート絶縁膜を形成するステップと、前記ゲート絶縁膜上にゲート電極を形成するステップと、前記ゲート電極の両側にある前記半導体層にソース領域およびドレイン領域を形成するステップとを具備する。

## 【0014】

本発明に係る他の実施形態に従った半導体装置の製造方法は、第1の絶縁層によって支持基板から絶縁された半導体層を有するSOI基板を準備するステップと、前記半導体層上にマスク材料を形成するステップと、該マスク材料をパターニングするステップと、前記マスク材料に従って前記半導体層の下層部を残存させたまま該半導体層の上層部をエッチングする第1のエッチングステップと、前記マスク材料および前記半導体層の上層部のそれぞれの側壁にスペーサを形成するステップと、前記マスク材料および前記スペーサをマスクとして、前記半導体層をエッチングし、部分的に前記第1の絶縁層を露出させる第2のエッチングステップと、隣り合う前記半導体層の間に第3の絶縁層を形成するステッ



ブと、前記マスク材料を除去するステップと、前記半導体層上にゲート絶縁膜を形成するステップと、前記ゲート絶縁膜上にゲート電極を形成するステップと、前記ゲート電極の両側にある前記半導体層にソース領域およびドレイン領域を形成するステップとを具備する。

#### 【発明の効果】

##### 【0015】

本発明に従った半導体装置およびその製造方法によれば、周辺回路やロジック回路の速度を低下させたり消費電力を増大させたりすることなく、ボディ領域と固定電位との容量を従来よりも増大させることができる。

#### 【発明を実施するための最良の形態】

##### 【0016】

以下、図面を参照して本発明に係る実施形態を説明する。これらの実施形態は、本発明を限定するものではない。

##### 【0017】

これらの実施形態に係るDRAMにおけるFBCのボディ領域は、ゲート絶縁膜と接触する面積よりも、BOX層と接触する面積の方が広い。これにより、ボディ領域と固定電位との容量が従来技術に比べて大きくなる。さらに好ましくは、支持基板とボディ領域との間のBOX層の膜厚がゲート絶縁膜の5倍以下である。これにより、ボディ領域と固定電位との容量がさらに大きくなる。

##### 【0018】

#### (第1の実施形態)

図1は、本発明に係る第1の実施形態に従ったDRAM100の平面図である。本実施形態において、DRAM100の周辺部には、DRAM100を制御するための周辺回路が設けられていてよい。DRAM100は、ワード線WL、ビット線BLおよびソース線SLを備えている。ワード線WLおよびソース線SLはほぼ平行に延びており、ビット線BLはワード線WLおよびソース線SLに対してほぼ垂直方向へ延びている。ビット線コンタクトBCは、ビット線BLとビット線BLの下に設けられたドレイン領域(図2参照)とを電気的に接続している。

##### 【0019】

図2は、図1に示す単位セルUをビット線BL(A-A線)に沿って切断したときの断面図である。図3(A)は、図1に示す単位セルUをワード線WL(B-B線)に沿って切断したときの断面図である。まず、図2を参照して、DRAM100は、 $10^{19} \text{ cm}^{-3}$ 以上の濃度を有するp+型の半導体基板110、BOX層120およびSOI層130をさらに備えている。BOX層120は、半導体基板110上に設けられており、半導体基板110からSOI層130を電気的に絶縁している。半導体基板110およびSOI層130は、例えば、シリコン単結晶から成り、BOX層120は、例えば、 $\text{SiO}_2$ から成る。

##### 【0020】

SOI層130には、n型のソース領域132およびn型のドレイン領域134が設けられており、ソース領域132とドレイン領域134との間にp型のボディ領域136が設けられている。ボディ領域136上には、ゲート絶縁膜140が設けられ、さらに、ゲート絶縁膜140の上にワード線WLが形成されている。ゲート絶縁膜140は、例えば、 $\text{SiO}_2$ から成る。ワード線WLは、ゲート絶縁膜140によってボディ領域136から絶縁されている。さらに、図3(A)を参照して、ボディ領域136の前後にはSTI(Shallow Trench Isolation)170が設けられている。STI170は、例えば、 $\text{SiO}_2$ から成る。これにより、ボディ領域136は、絶縁材料および導電型の異なる半導体材料によってその周囲を囲まれているので、電気的に浮遊状態となる。従って、ボディ領域136の電位は、半導体基板110、ワード線WL、ソース領域132およびドレイン領域134のそれぞれの電位に依存して変化する。

##### 【0021】

BOX層120の膜厚は、ゲート絶縁膜140の膜厚の1倍～5倍である。例えば、ゲート絶縁膜140の膜厚が5 nmとすると、BOX層120の膜厚は、5 nm～25 nmである。

#### 【0022】

ボディ領域136の膜厚は、BOX層の3倍以下である。例えば、BOX層の膜厚を25 nmとすると、ボディ領域の膜厚は75 nm以下である。

#### 【0023】

DRAM100は、ポリシリコンプラグ150、152と、シリサイド160、162、164とをさらに備えている。ポリシリコンプラグ150およびシリサイド160は、ソース領域132に電氣的に接続されており、図1に示すソース線SLを成す。シリサイド162は、ワード線WL上面を被覆し、それによってワード線WLの抵抗を低下させている。ポリシリコンプラグ152およびシリサイド164は、ドレイン領域134とビット線BLとの間を電氣的に接続している。ワード線WLとビット線BLとの間の間隙、ワード線WLとポリシリコンプラグ150、152との間の間隙は絶縁体、例えば、SiO<sub>2</sub>で充填されている。

#### 【0024】

図3(A)を参照して、ボディ領域136は、ゲート絶縁膜140と接触する面（以下、上面という）よりも、BOX層120と接触する面（以下、底面という）の方が面積において広い。これは、ボディ領域136は、ワード線WLに沿った断面において、その側壁に段差部STを有するからである。

#### 【0025】

これにより、ボディ領域136と半導体基板110との間の容量値（以下、C<sub>sub</sub>という）が、従来技術のそれよりも大きくなる。

#### 【0026】

本実施形態は、BOX層120の膜厚がゲート絶縁膜140の膜厚の1倍～5倍であり、尚且つ、ボディ領域136の底面の面積がボディ領域136の上面の面積よりも大きい。これにより、本実施形態は、容量値C<sub>sub</sub>を従来よりもさらに大きくすることができる。

#### 【0027】

また、本実施形態は、DRAM領域の半導体基板110とBOX層120との界面における不純物濃度が $10^{19} \text{ cm}^{-3}$ 以上の高濃度であるため、半導体基板110に空乏層を形成しない、あるいは空乏層厚を小さくすることができる。よって、容量値C<sub>sub</sub>を従来よりも大きくすることができる。

#### 【0028】

図3(B)には、周辺回路あるいはロジック回路（以下、周辺ロジック回路と呼ぶ）の領域におけるNチャネルMOSトランジスタの断面図を示した。しかし、周辺ロジック回路におけるボディ領域137は、ゲート電極に沿った断面においてステップSTを有しない。即ち、ゲート電極に沿った断面において、周辺ロジック回路のボディ領域がBOX層120と接する面積は、ゲート絶縁膜140と接する面積にほぼ等しくなる。これにより、周辺ロジック回路の領域において、SOI層と半導体基板110との容量が小さくなるので、周辺ロジック回路が高速化され、消費電力が低減される。また周辺ロジック回路の領域の半導体基板110はP型であり、BOX層との界面における不純物濃度は $10^{18} \text{ cm}^{-3}$ 台以下の濃度である。従ってドレイン領域の電位が高速に変化する場合には、空乏層厚が大きくなるので、寄生容量は小さい。なおPチャネルMOSトランジスタの場合は半導体基板110を逆の導電型にすればよい。

#### 【0029】

ボディ領域136は、電荷を蓄積または放出することによってデータを記憶することができる。例えば、ワード線WLおよびビット線BLを比較的高電位にして、このFBCを飽和状態にバイアスする。これによって、ボディ領域136内でインパクトイオン化を引き起こし、正孔をボディ領域136に蓄積する。これにより、FBCにデータ“1”が書

き込まれる。ボディ領域 136 内に多くの正孔数が蓄積されたときにデータ “1” が記憶されたものとする。

#### 【0030】

一方、ビット線 BL を比較的低電位にし、ワード線 WL を比較的高電位にして、p 型のボディ領域 136 と n 型のドレイン領域 134 との間の p n 接合を順方向にバイアスする。これにより、ボディ領域 136 内に蓄積されていた正孔は、ドレイン領域 134 を通してビット線 BL へ放出される。その結果、FBC にデータ “0” が書き込まれる。

#### 【0031】

図 4 は、データ “1” およびデータ “0” のときのボディ領域の電位（以下、ボディ電位という）を示すグラフである。データ “1” のときのボディ電位を  $V_1$  と表し、データ “0” のときのボディ電位を  $V_0$  と表している。

#### 【0032】

横軸は時間を示している。時間 0 ～  $t_1$  において、ワード線 WL およびビット線 BL の電位を例えば 1.5 ボルトとしてデータ “1” をボディ領域 136 へ書き込み、ワード線 WL の電位を例えば 1.5 ボルト、ビット線 BL の電位を例えば -1.5 ボルトとして、データ “0” をボディ領域 136 へ書き込む。時点  $t_1$  において、ビット線 BL を保持状態、（例えば、0 ボルト）に戻す。さらに、時点  $t_2$  において、ワード線 WL を保持状態、（例えば、-1.5 ボルト）に戻す。 $V_1$  および  $V_0$  が示すグラフのうち、破線で示すグラフは、従来の DRAM（便宜的に、DRAM10 とする）のボディ電位を示し、実線で示すグラフは、本実施形態による DRAM100 のボディ電位を示している。

#### 【0033】

書き込み時（0 ～  $t_1$ ）において、DRAM10 および DRAM100 のそれぞれのボディ電位は、ほぼ等しい。このとき、データ “1” とデータ “0” とのボディ電位差は大きく、それらの識別は容易である。

#### 【0034】

次に、ビット線 BL を保持状態に戻すと（ $t_1$  ～  $t_2$ ）、 $V_1$  が低下し、 $V_0$  が上昇する。よって、データ “1” とデータ “0” とのボディ電位差が小さくなる。

#### 【0035】

次に、ワード線 WL を保持状態に戻すと（ $t_2$  ～  $t_3$ ）、 $V_0$  は低下するが、 $V_1$  が  $V_0$  の低下の度合よりも大きく低下する。よって、データ “1” とデータ “0” とのボディ電位差がさらに小さくなる。

#### 【0036】

図 4 に示すように従来の DRAM10 では、時点  $t_1$  におけるデータ “1” とデータ “0” とのボディ電位差  $d_0$  が電位差  $d_{10}$  へ低下し、本実施形態による DRAM100 では、ボディ電位差  $d_0$  が電位差  $d_{100}$  へ低下する。本実施形態の DRAM100 の電位差  $d_{100}$  は、従来の DRAM10 における電位差  $d_{10}$  に比較して大きい。一般に、 $V_1$  と  $V_0$  との差が大きいと、データ “1” とデータ “0” との識別が容易になり、歩留まりが向上する。よって、DRAM100 は、従来の DRAM10 に比べデータ “1” とデータ “0” との識別が容易であり、歩留まりが良い。

#### 【0037】

これは、DRAM100 において、ボディ領域 136 の底面の面積がボディ領域 136 の上面の面積よりも大きいため、半導体基板 110 とボディ領域 136 との間の容量値  $C_{sub}$  が DRAM10 の容量値  $C_{sub}$  よりも大きくなるからである。この理由をより詳細に説明する。半導体基板 110 とボディ領域 136 との間の容量値を  $C_{sub}$ 、ドレイン領域 134 とボディ領域 136 との間の容量値を  $C_d$ 、ソース領域 132 とボディ領域 136 との間の容量値を  $C_s$ 、ワード線 WL とボディ領域 136 との間の容量値を  $C_g$  とすると、 $C_{sub}$  がボディ領域へ寄与する比率  $R$  は、 $C_{sub} / (C_{sub} + C_d + C_s + C_g)$  と表される。半導体基板 110 には、負の固定電位が与えられているので、 $C_{sub}$  がボディ領域へ大きく寄与すると、 $V_1$  および  $V_0$  がより安定する。従って、比率  $R$  が大きいほうが、即ち、 $C_{sub}$  が大きいほうが、 $V_1$  および  $V_0$  が安定する。その結果、ビット線 BL および

ワード線WLを保持状態に戻した後( $t_1$ 以降)であっても、DRAM100における電位差 $d_{100}$ は、電位差 $d_0$ により近い状態で維持され得る。例えば、書込み時( $0 \sim t_1$ )においては、 $V_1$ と $V_0$ との電位差は約1.5ボルトである。しかし、ワード線WLを保持状態に戻した後( $t_1$ 以降)においては、ボディ電位の差( $V_1 - V_0$ )は、約1.5ボルト $\times (C_{sub} / (C_{sub} + C_d + C_s + C_g))$ となる。

#### 【0038】

一方で、 $C_d$ がボディ領域へ寄与する比率が大きいと、ビット線BLを保持状態に戻したとき( $t_1 \sim t_2$ )に、データ“1”とデータ“0”とのボディ電位差( $V_1 - V_0$ )が大きく低下する。例えば、ビット線BLが1.5ボルトから0ボルトへ低下するときに、 $V_1$ は、1.5ボルト $\times (C_d / (C_{sub} + C_d + C_s + C_g))$ だけ低下する。 $V_0$ は、1.5ボルト $\times (C_d / (C_{sub} + C_d + C_s + C_g))$ だけ上昇する。これらの式からSOIの膜厚を薄くして $C_d$ を低減させることによりボディ電位差( $V_1 - V_0$ )が大きくなることがわかる。

#### 【0039】

$C_g$ がボディ領域へ寄与する比率が大きいと、ワード線WLを保持状態に戻したとき( $t_2 \sim t_3$ )に、データ“1”とデータ“0”との電位差が大きく低下する。例えば、 $V_1$ が $V_0$ よりも1.5ボルト $\times (C_g / (C_{sub} + C_d + C_s + C_g))$ だけ大きく低下する。これは、データ“1”とデータ“0”では1.5ボルト分だけトランジスタのしきい値が異なるため、ワード線WLとボディ領域136との容量結合の度合いが1.5ボルト分だけ異なるからである。また、この式からワード線WLとボディ領域の容量を小さくすることによりボディ電位差( $V_1 - V_0$ )が大きくなることがわかる。

#### 【0040】

DRAM10およびDRAM100の両者は、約25nmのBOX層を有しているが、段差部STによる接触面積の増大によってDRAM100の $C_{sub}$ は、DRAM10の $C_{sub}$ に対して(例えば、2倍に)増大する。これに伴い、電位差 $d_{100}$ は、電位差 $d_{10}$ よりも大きくなる。

#### 【0041】

ここで上述の容量値を具体的に見積もる。図1における素子領域の幅は100nm、STIの幅は100nm、ワード線WLの幅は100nmとする。ボディ領域136の不純物濃度を $10^{18} \text{ cm}^{-3}$ とする。ボディ領域の膜厚が75nmの場合は、 $C_d$ および $C_s$ は0.021fFである。BOX層の膜厚が25nmで、段差部STを有さない従来のDRAM10における $C_{sub}$ は0.014fFである。またチャネル下の空乏層容量は0.03fFであり、ゲート絶縁膜の容量は0.069fFであり、両者を直列に接続した $C_g$ は0.021fFである。ここで幅25nmのスペーサによって段差部STを形成すれば、ボディ領域のBOX界面における幅は150nmになるので、 $C_{sub}$ を1.5倍に、すなわち0.021fFとすることができる。以上の結果からわかるように、ボディ領域の厚さをBOX層の厚さの3倍以下とし、BOX層の厚さをゲート絶縁膜の5倍以下とすることにより、 $C_{sub}$ の寄与が支配的となり、データ“1”とデータ“0”との識別が容易であり、歩留まりが良く、データ保持時間の長いDRAMを実現することができる。

#### 【0042】

次に、DRAM100の製造方法を説明する。図5から図12は、DRAM100の製造方法を工程順に断面で示したフロー図である。尚、図5から図9は、ワード線WLに沿った断面で示したフロー図である。図10から図12は、ビット線BLに沿った断面で示したフロー図である。

#### 【0043】

図5を参照して、まず、半導体基板110、BOX層120およびSOI層130を備えたSOI基板を準備する。SOI層130の上面を酸化して、シリコン酸化膜201を形成する。BOX層120の膜厚は、約25nmである。次に、CVD法等を用いて、シリコン窒化膜203をシリコン酸化膜201上に堆積し、さらに、シリコン酸化膜205をシリコン窒化膜203上に堆積する。次に、シリコン酸化膜205上にレジスト207

を塗布し、フォトリソグラフィ技術によって、レジスト 207 をパターンニングする。

#### 【0044】

図 6 を参照して、レジスト 207 をマスクとして用いて、R I E 法等により、シリコン酸化膜 205 をエッチングする。次に、パターンニングされたシリコン酸化膜 205 をマスクとして用いて、R I E 法等により、シリコン窒化膜 203 をエッチングし、さらに、シリコン窒化膜 203 をマスクとして用いて、シリコン酸化膜 201 および S O I 層 130 を順次エッチングする。ここで、S O I 層 130 の厚みの途中まで異方的にエッチングを行なう。これにより、S O I 層 130 の下層部を残存させたまま、S O I 層 130 の上層部を異方的にエッチングする。

#### 【0045】

図 7 (A) を参照して、次に、シリコン窒化膜 203、シリコン酸化膜 201 および S O I 層 130 の上層部のそれぞれの側壁を被覆するようにスペーサ 250 を形成する。スペーサ 250 は、例えば、シリコン酸化膜またはシリコン窒化膜でよい。その後、R I E 法等により、シリコン窒化膜 203 およびスペーサ 250 をマスクとして、S O I 層 130 をエッチングする。これにより、隣り合う S O I 層 130 の下層部の間において、B O X 層 120 が露出する。その後、露出した B O X 層 120 を突き抜け、尚且つ、シリコン窒化膜 203 を突き抜けない程度のエネルギーで不純物をイオン注入する。これにより、不純物が半導体基板 110 へ注入され、半導体基板 110 の導電型が決定される。本実施形態では、不純物としてボロンまたはインジウム等がイオン注入され、半導体基板 110 は p 型の半導体となる。この p 型拡散層はメモリセルアレイの外側にまで延びるように形成され、この p 型拡散層に接続するコンタクトによって半導体基板 110 に電位が与えられる。

#### 【0046】

図 7 (B) は、この工程における周辺ロジック回路の断面を示す。周辺ロジック回路の領域においては、スペーサを設けないことが好ましい。それには例えば D R A M 領域と周辺ロジック回路領域の両者にスペーサを形成した後、フォトリソグラフィ工程およびエッチング工程を追加する。すなわち、D R A M 領域を被覆するフォトレジストを形成し、スペーサをエッチングにより除去する。これにより、周辺ロジック回路の領域における素子領域は、図 7 (B) に示すようにシリコン窒化膜 203 をマスクとしてエッチングされ、ステップ S T が形成されない。また周辺ロジック回路の領域の半導体基板 110 には、高濃度の不純物のイオン注入を行わず寄生容量を増大させないようにする。

#### 【0047】

図 8 を参照して、次に、スペーサ 250 が除去され、C V D 法等を用いて、隣り合う S O I 層 130 の間にシリコン酸化膜 211 を堆積する。次に、C M P 等を用いて、シリコン酸化膜 211 およびシリコン窒化膜 203 を除去し、上面を平坦化する。閾値を決定するために S O I 層 130 に p 型の不純物を注入する。

#### 【0048】

図 9 を参照して、シリコン酸化膜 201 を除去し、S O I 層 130 上にゲート絶縁膜 140 を形成する。ゲート絶縁膜 140 の膜厚は、約 5 nm である。よって、B O X 層 120 の膜厚は、ゲート絶縁膜 140 の膜厚の約 5 倍である。さらに、フォトリソグラフィ技術および R I E 等のエッチング技術を用いて、ゲート絶縁膜 140 上にワード線 W L を形成する。このワード線 W L は、半導体基板 110 の表面上方から見たときに S O I 層 130 と交差するように設けられる。ワード線 W L は、例えば、ポリシリコンから成る。

#### 【0049】

図 10 を参照して、次に、ワード線 W L をマスクとして、S O I 層 130 へ不純物が自己整合的にイオン注入される。これにより、 $10^{18} \text{ cm}^{-3}$  程度の低濃度ドレイン (Lightly Doped Drain) を形成する。次に、ワード線 W L の側面をスペーサ 213 で被覆する。スペーサ 213 は、例えば、シリコン酸化膜またはシリコン窒化膜でよい。さらに、ワード線 W L およびスペーサ 213 をマスクとして、S O I 層 130 へ不純物が自己整合的にイオン注入される。本実施形態では、リンまたはヒ素が S O I 層 130 へイオン注入

される。

#### 【0050】

これにより、図11に示すように、ソース領域132およびドレイン領域134が形成される。ソース領域132とドレイン領域134との間にはボディ領域136が形成される。

#### 【0051】

図12を参照して、次に、ポリシリコンプラグ150および152をそれぞれソース領域132およびドレイン領域134上に形成する。尚、周辺回路の領域にはポリシリコンプラグを形成しない。次に、ポリシリコンプラグ150、152およびワード線WLのそれぞれの上面に金属を堆積し、シリサイド層160、162および164を形成する。シリサイド層160、162および164は、例えば、コバルトシリサイドである。

#### 【0052】

次に、層間絶縁膜をシリサイド層160、162および164の上に堆積し、シリサイド層164およびポリシリコンプラグ152に電氣的に接続されたプラグを層間絶縁膜に形成する。さらに、ワード線WLに対してほぼ直交するようにプラグ上にビット線BLを形成する。ビット線BLは、例えば、銅やアルミニウムやタングステンなどの金属である。このようにして、図1から図3(B)に示すDRAM100が完成する。

#### 【0053】

DRAM100の周囲に周辺回路が設けられている場合には、周辺回路を構成するトランジスタは、図13に示すような断面を有する。尚、周辺回路部のトランジスタにおける、ボディ領域136は、電氣的に浮遊状態である必要はない。

#### 【0054】

従来の製造方法では、半導体基板110へのイオン注入は、図14に示すように、図8と同じ製造段階で実行されていた。しかしながら、この従来の製造方法では、BOX層12が薄い場合に、半導体基板11へ注入されるはずの不純物が、SOI層13にも注入されてしまう。つまり、半導体基板11の表面濃度をSOI層13の濃度に対して独立に設定することができなかった。SOI層13のボディ領域の濃度は、接合リーク電流を抑制するためには $10^{18} \text{ cm}^{-3}$ 程度以下にする必要がある。このため、半導体基板11の表面濃度も $10^{18} \text{ cm}^{-3}$ 程度にせざるを得ず、半導体基板11に空乏層が形成されてしまい、その結果、容量値 $C_{\text{sub}}$ を大きくすることができなかった。

#### 【0055】

これに対し、本実施形態では、半導体基板110へのイオン注入は、図7(A)に示すように、SOI層130のエッチング後に実行する。SOI層130には不純物が注入されることがないので、半導体基板110の表面を充分高濃度にすることができる。これにより容量値 $C_{\text{sub}}$ を増大させることができる。本実施形態によれば、SOI層130への不純物注入は従来どおり行うことができる。従って、半導体基板110の不純物濃度とSOI層130の不純物濃度とは、互いに独立して設定することができる。これにより、ボディ電位差( $V_1 - V_0$ )を増大させ、データ保持時間の長いメモリセルを設計することが可能になる。

#### 【0056】

(第2の実施形態)

図15は、本発明に係る第3の実施形態に従ったDRAM300の平面図である。第3の実施形態は、ボディ領域336の形状が第2の実施形態のボディ領域236と異なる。ボディ領域336は、ビット線コンタクトBCに該当する領域において、側面に段差ST(図3(A)参照)を有しない。ボディ領域336は、ビット線コンタクトBCに該当する領域以外では、側面に段差STを有する。第2の実施形態の他の構成要素は、第1の実施形態の構成要素と同じでよい。

#### 【0057】

図15に示す単位セルUをビット線BL(A-A線)に沿って切断したときの断面図は、図2と同様であり、単位セルUをワード線WL(B-B線)に沿って切断したときの断

面図は、図3(A)と同様である。しかし、ビット線コンタクトBC部分(C-C線)における断面図は、第1の実施形態と異なる。

【0058】

図16は、ビット線コンタクトBC部分におけるC-C線に沿って切断したときの断面図である。SOI層130の側壁に段差は無い。尚、この断面において、SOI層130は、ドレイン領域134に該当する。

【0059】

本実施形態によれば、ビット線BLと半導体基板110との間の容量値が低減する。これにより、DRAM300は、DRAM100よりも高速に動作することができる。

【0060】

次に、DRAM300の製造方法を説明する。図8において、スペーサ250を除去するまでは、DRAM100の製造方法と同様である。その次に、フォトリソグラフィ工程およびエッチング工程を追加する。このフォトリソグラフィ工程において、フォトレジストは図17に示す領域PRに形成される。即ち、このフォトリソグラフィ工程において、フォトレジストは、ワード線WLに沿って、隣り合うビット線コンタクトBC部分の間を被覆するようにパターンニングされる。続いて、フォトレジスト(領域PR)に被覆されていない領域における段差部STをエッチングする。その後、第1の実施形態と同様の工程を経ることによってDRAM300が完成する。DRAM300の製造方法は、DRAM100の製造方法と同様の効果をも有する。

【0061】

さらにDRAM300の他の製造方法を説明する。図6において、SOI層の下層部を残存させたままSOI層130の上層部を異方的にエッチングする工程までは、DRAM100の製造方法と同様である。次にDRAM領域ではパターンPR(図17参照)を有し、周辺ロジック回路の領域全体を開口したフォトレジストを形成する。次に、フォトレジストおよびシリコン窒化膜203をマスクとしてSOI層130をエッチングする。これによりDRAM300のドレイン領域付近のSTI領域のBOX層120と周辺ロジック回路領域のSTI領域のBOX層120が露出する。次にスペーサ材を基板に堆積する。そしてDRAM領域全体を開口したフォトレジストを形成して、RIE法を用いて、スペーサ材を異方性エッチングし、スペーサ250(図7参照)を形成する。そしてシリコン窒化膜203とスペーサ250をマスクとしてSOI層130をRIEすることにより、DRAM領域のSTI領域のBOX層120が露出する。DRAM領域のボディ領域136およびソース領域132(図1参照)にのみスペーサ250の膜厚に応じた段差部STが形成される。スペーサ250を除去した後は、第1の実施形態と同様の工程(図8から図12参照)を行えばよい。このような製造方法によってもDRAM300が製造され得る。

【0062】

なお、図17を参照して、DRAM300のワード線WLのエッジとパターンPRのエッジとの距離Dを適宜調整可能にしてもよい。例えば、距離Dをゼロにすることによって、n型のドレイン領域近傍における段差部STを完全に除去する。これにより、n型のドレイン領域とp型のボディ領域とのPN接合面積がDRAM100に比べて小さくなる。その結果、Cdの値がDRAM100よりも減少するので、DRAM300は、DRAM100よりもデータ1とデータ0の識別が容易になる。これにより、歩留まりが向上し、データ保持時間が長くなる。また、このDRAM300は、従来のDRAM10と比較して、Cdの値についてほぼ等しいが、CsubおよびCsについて増大している。ワード線WLを保持状態に戻した後のボディ電位の差( $V1 - V0$ )は、約 $1.5 \text{ ボルト} * ((Csub + Cs - Cd) / (Csub + Cd + Cs + Cg))$ と表すことができる。第1の実施形態では $Cd = Cs$ の場合であったが、本実施形態によれば従来のDRAM10よりもCsが大きくなり、この効果によってもデータ1とデータ0の識別が容易になり歩留まりが向上し、またデータ保持時間も長くなる。

【図面の簡単な説明】

## 【0 0 6 3】

- 【図 1】本発明に係る第 1 の実施形態に従った D R A M 1 0 0 の平面図。  
【図 2】図 1 に示す単位セル U を A-A 線に沿って切断したときの断面図。  
【図 3】図 1 に示す単位セル U を B-B 線に沿って切断したときの断面図および周辺ロジック回路の断面図。  
【図 4】データ“1”およびデータ“0”のときのボディ電位を示すグラフ。  
【図 5】D R A M 1 0 0 の製造方法を断面で示したフロー図。  
【図 6】図 5 に続く、D R A M 1 0 0 の製造方法を断面で示したフロー図。  
【図 7】図 6 に続く、D R A M 1 0 0 の製造方法を断面で示したフロー図およびこの工程における周辺ロジック回路領域の断面図。  
【図 8】図 7 に続く、D R A M 1 0 0 の製造方法を断面で示したフロー図。  
【図 9】図 8 に続く、D R A M 1 0 0 の製造方法を断面で示したフロー図。  
【図 1 0】図 9 に続く、D R A M 1 0 0 の製造方法を断面で示したフロー図。  
【図 1 1】図 1 0 に続く、D R A M 1 0 0 の製造方法を断面で示したフロー図。  
【図 1 2】図 1 1 に続く、D R A M 1 0 0 の製造方法を断面で示したフロー図。  
【図 1 3】D R A M 1 0 0 の周辺回路の断面図。  
【図 1 4】従来の D R A M 1 0 の製造方法を断面で示したフロー図。  
【図 1 5】本発明に係る第 2 の実施形態に従った D R A M 3 0 0 の平面図。  
【図 1 6】ビット線コンタクト B C 部分における C-C 線に沿って切断したときの断面図。  
【図 1 7】D R A M 3 0 0 の製造方法の途中工程を平面で示した図。

## 【符号の説明】

## 【0 0 6 4】

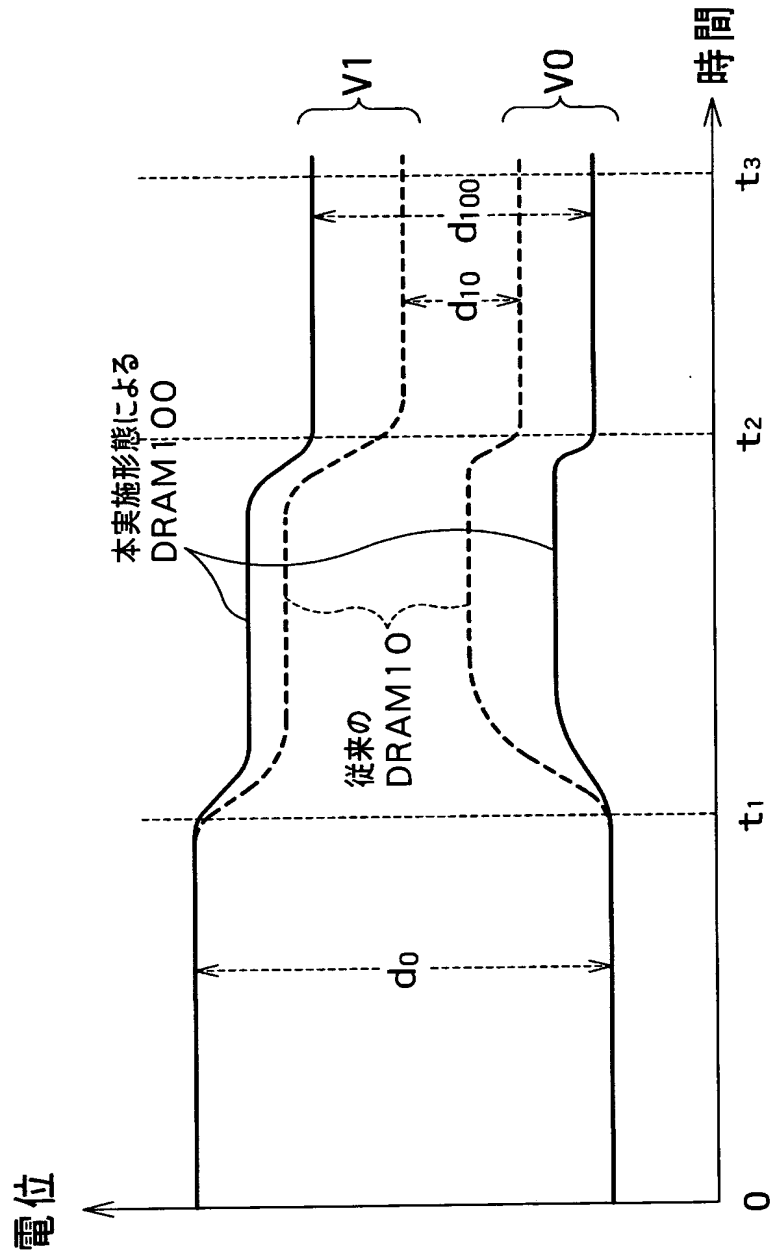
- 1 0 0 D R A M  
W L ワード線  
B L ビット線  
S L ソース線  
1 1 0 半導体基板  
1 2 0 B O X 層  
1 3 0 S O I 層  
1 3 2 ソース領域  
1 3 4 ドレイン領域  
1 3 6 ボディ領域  
1 4 0 ゲート絶縁膜  
1 5 0、1 5 2 ポリシリコンプラグ  
1 6 0、1 6 2、1 6 4 シリサイド  
1 7 0 S T I



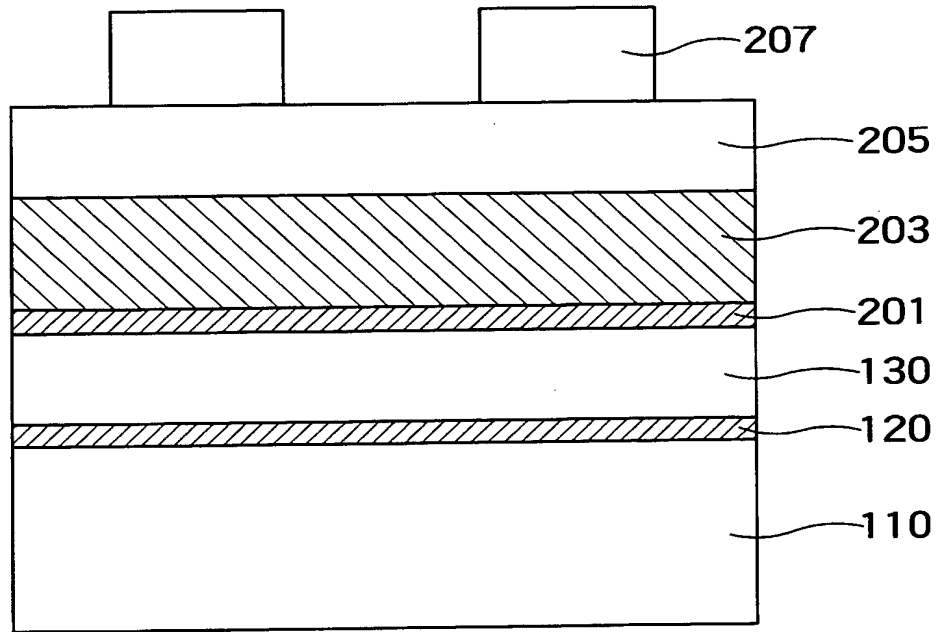




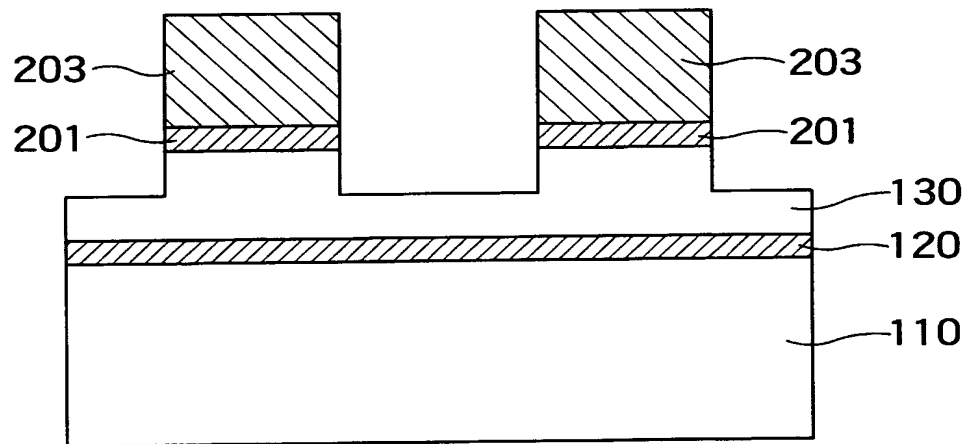
【図 4】



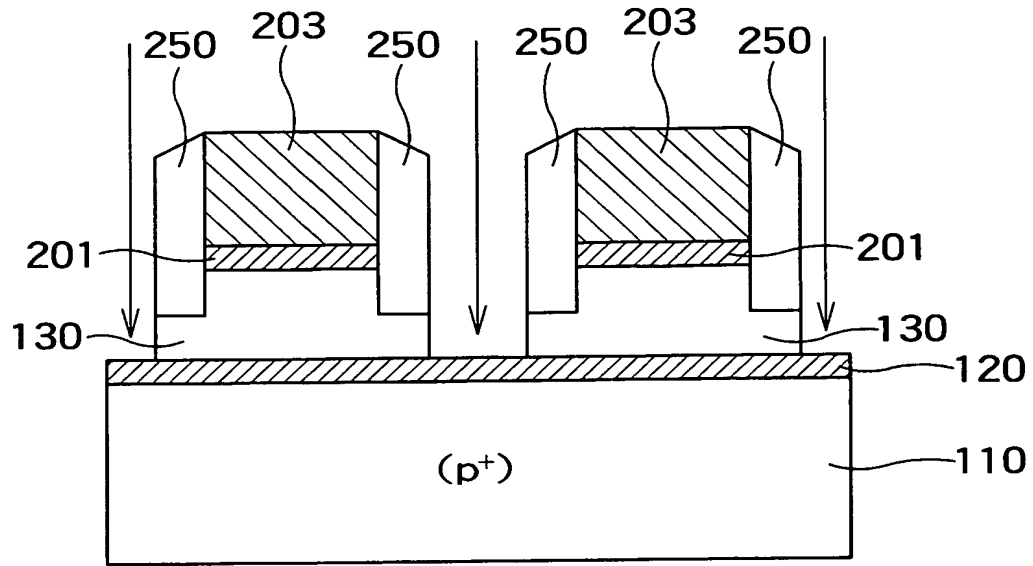
【図 5】



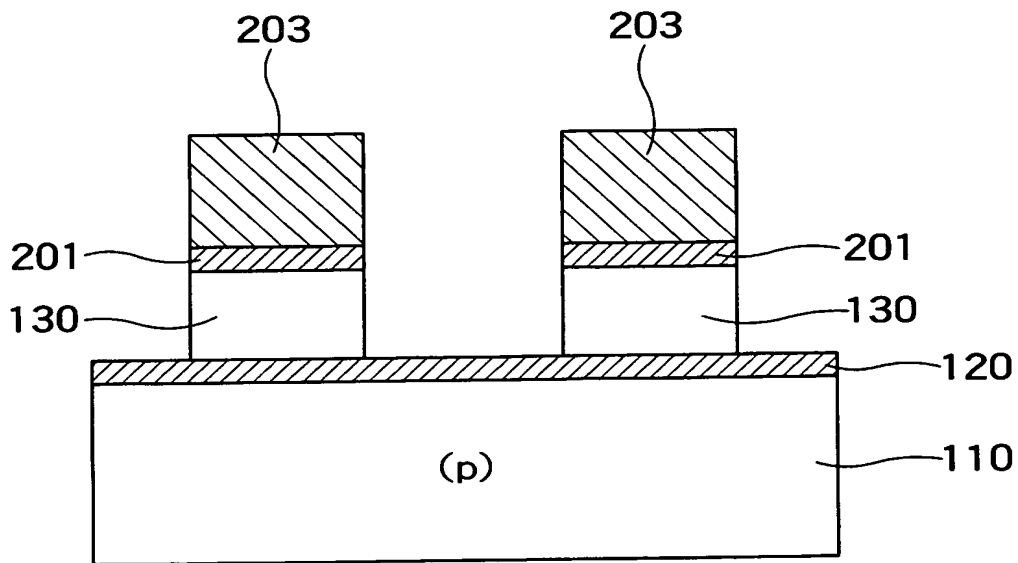
【図 6】



【図 7】

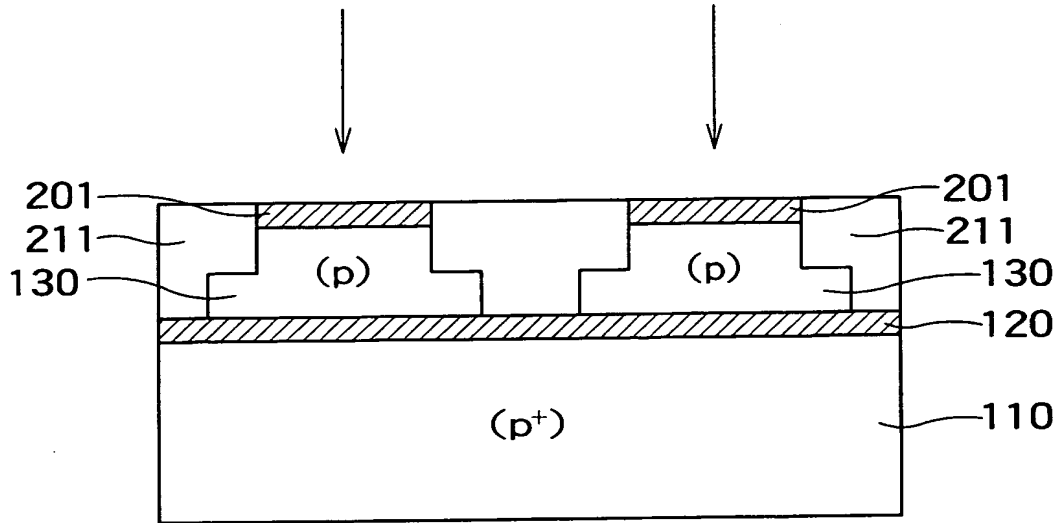


(A)

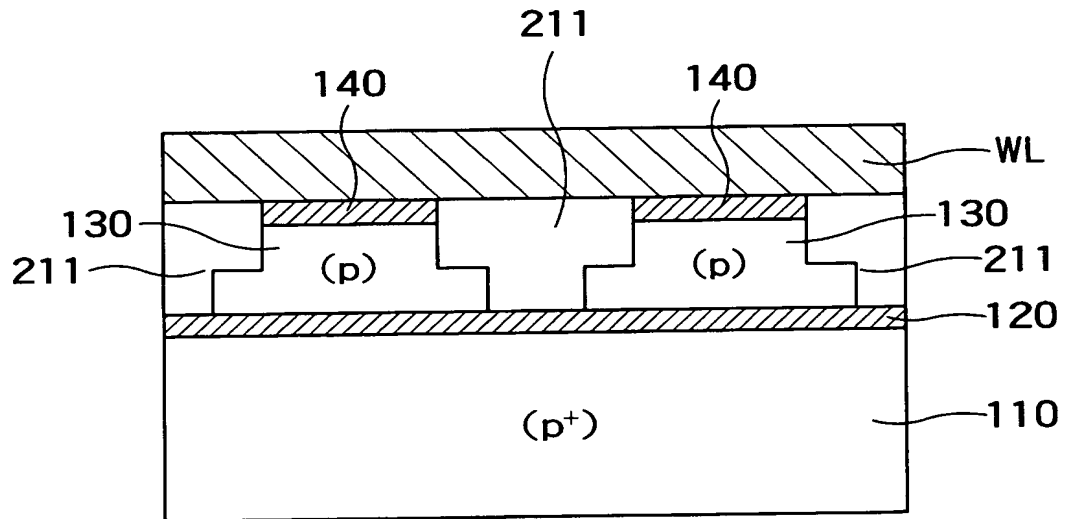


(B)

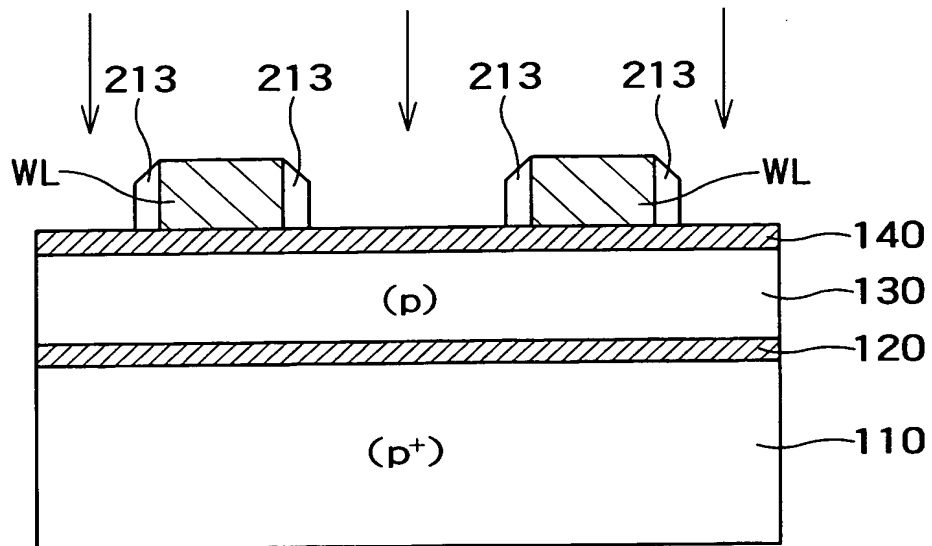
【図 8】



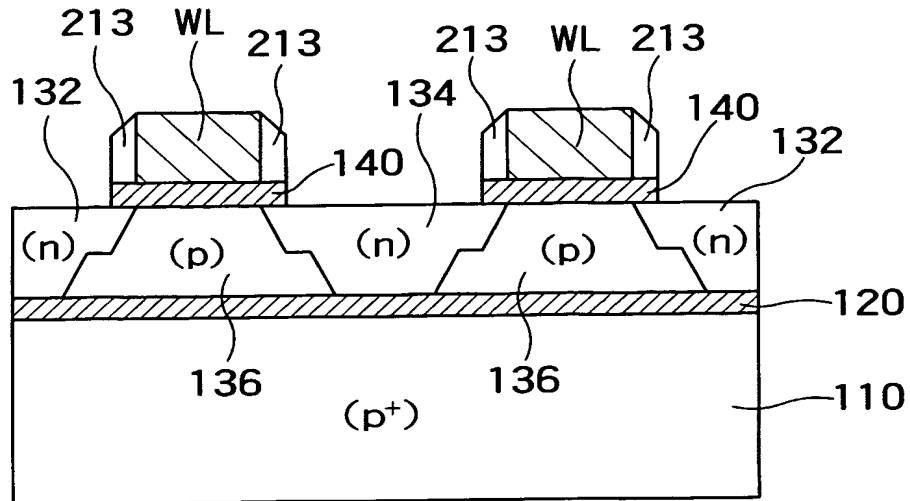
【図 9】



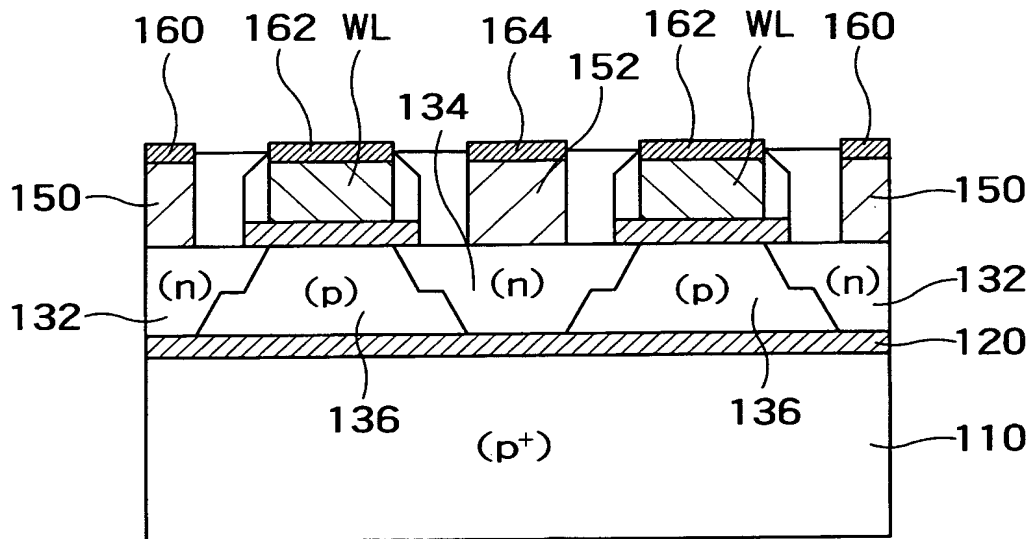
【図 10】



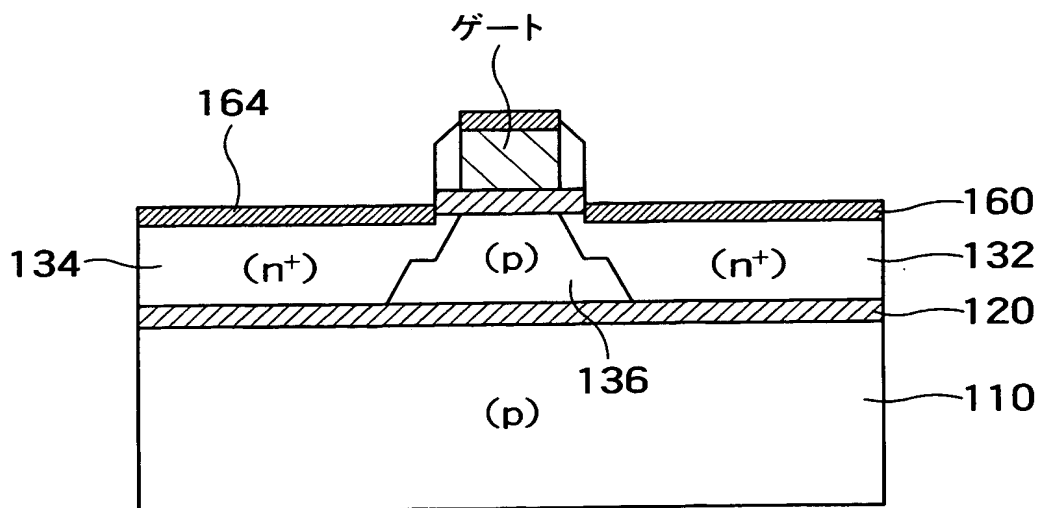
【図 11】



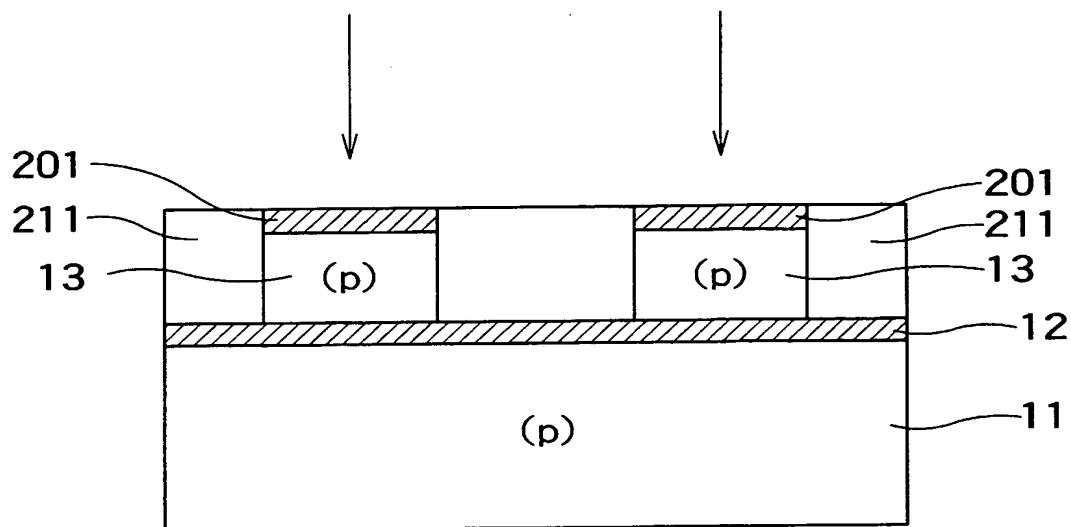
【図 12】



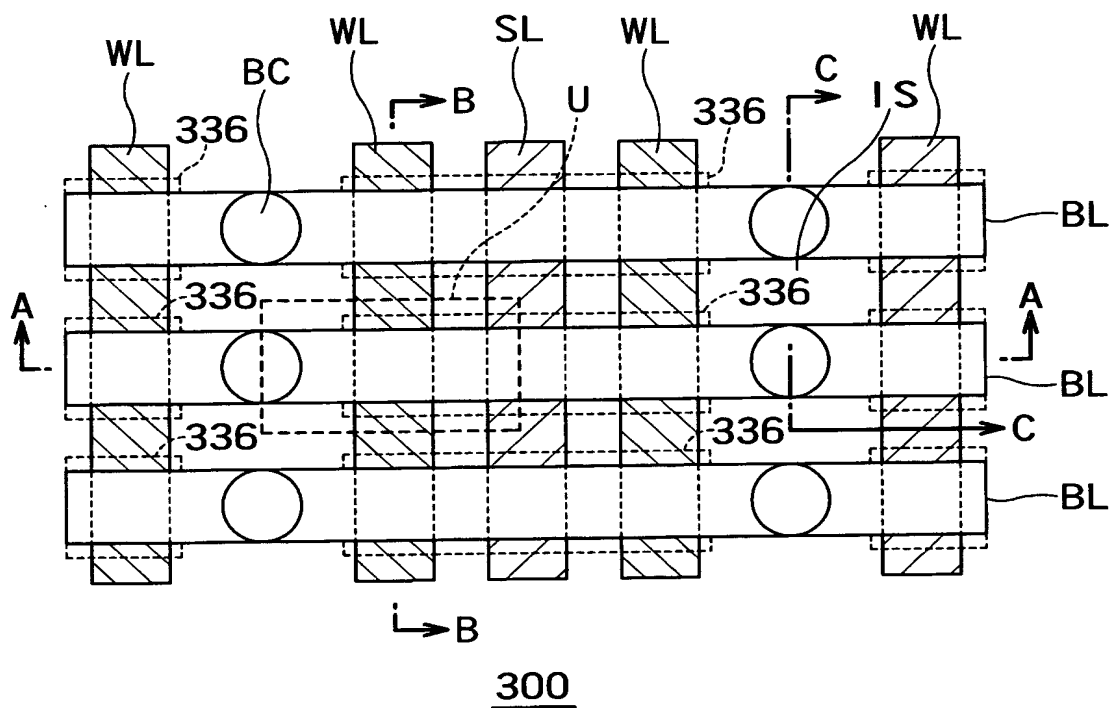
【図 13】



【図 14】

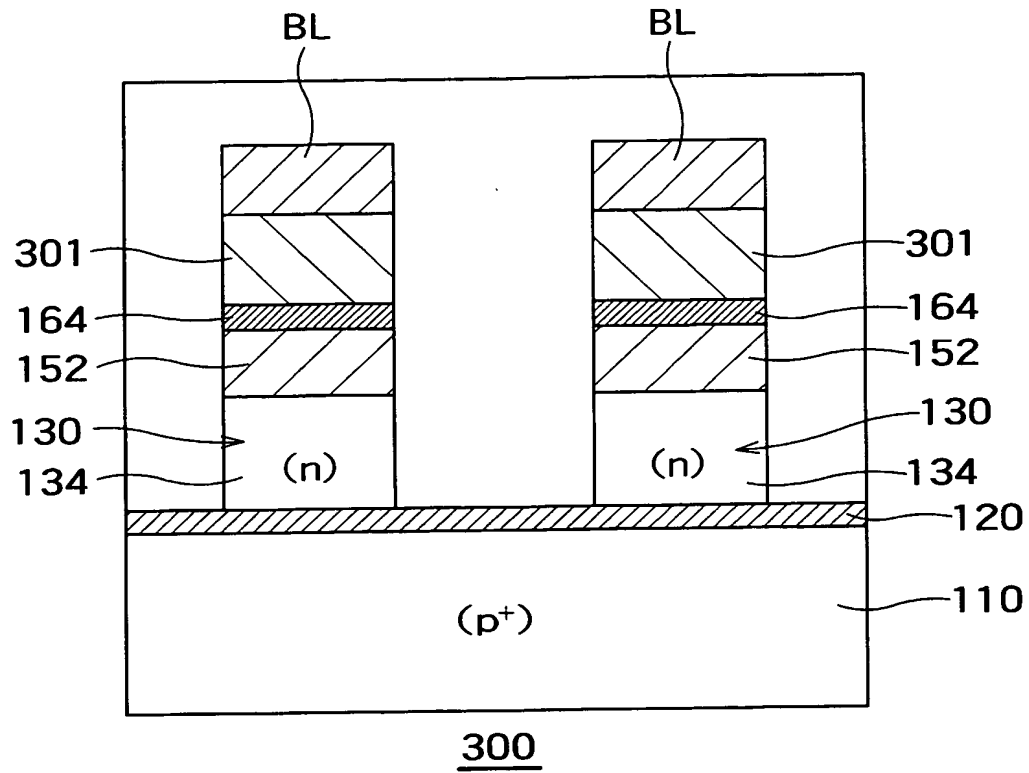


【図 15】

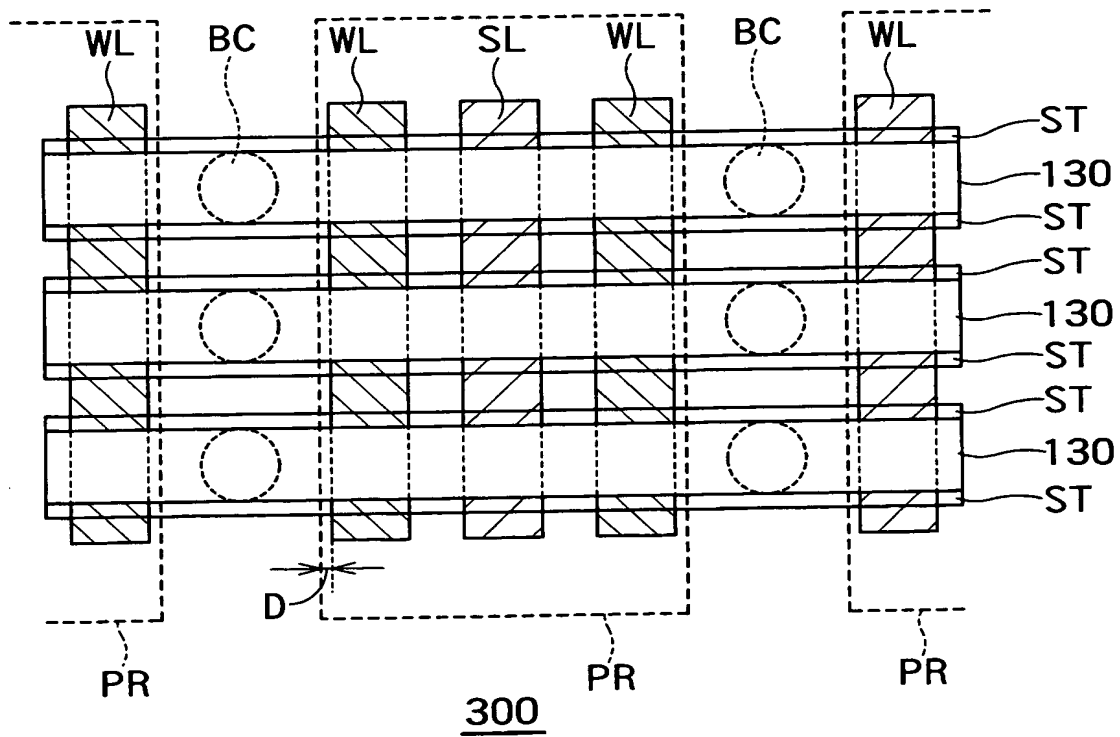




【図 16】



【図 17】



**【書類名】 要約書****【要約】**

**【課題】** 周辺回路やロジック回路の速度を低下させたり消費電力を増大させたりすることなく、ボディ領域と固定電位との容量を従来よりも増大させた半導体装置およびその製造方法を提供する。

**【解決手段】** 半導体装置 1 0 0 は、半導体基板 1 1 0 と、半導体基板上に形成された第 1 の絶縁層 1 2 0 と、絶縁層によって半導体基板から絶縁された半導体層 1 3 0 と、半導体層に形成されたソース領域 1 3 2 およびドレイン領域 1 3 4 と、半導体層のうちソース領域とドレイン領域との間に設けられ、電荷を蓄積または放出することによってデータを記憶することができるボディ領域 1 3 6 と、ボディ領域上に形成された第 2 の絶縁層 1 4 0 と、第 2 の絶縁層上に形成され、該第 2 の絶縁層によってボディ領域から絶縁されるように設けられたワード線 W L と、ドレイン領域に接続されたビット線 B L とを備え、前記ボディ領域が前記第 2 の絶縁層と接する面積は、該ボディ領域が前記第 1 の絶縁層と接する面積よりも大きい。

**【選択図】** 図 3

特願 2 0 0 3 - 3 9 2 3 4 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝